



(19)

(11) Publication number: 63211663 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 62046007 .

(51) Intl. Cl.: H01L 25/08 H01L 23/52 H01R 9/09

(22) Application date: 26.02.87

(30) Priority:

(43) Date of application publication: 02.09.88

(84) Designated contracting states:

(71)

Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: TANAKA HIROSHI

(74)

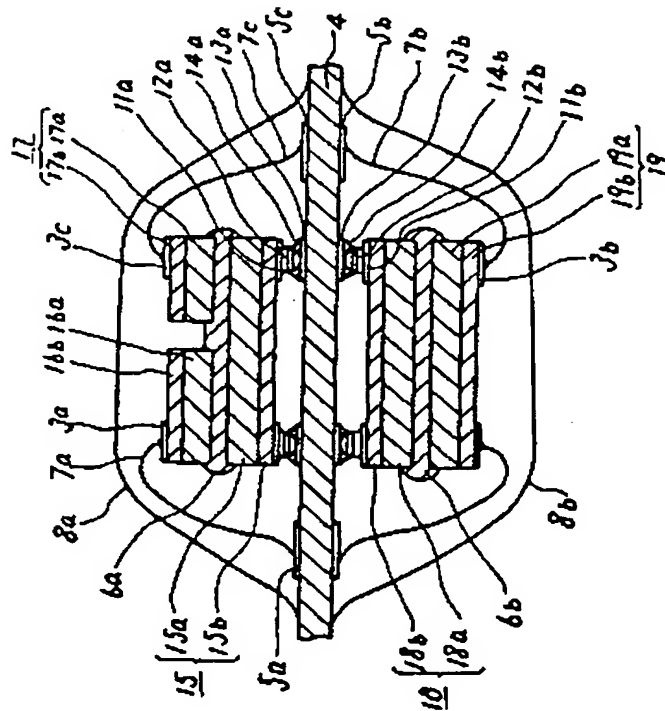
Representative:

## (54) CIRCUIT BOARD

## (57) Abstract:

**PURPOSE:** To realize a small-sized and thin semiconductor chip component packaged at a higher density and to reduce a space occupied by a related device or the like, by arranging semiconductor chips in parallel with each other, the semiconductor chips being layered semiconductor chips joined with each other with an adhesive material at their corresponding faces, and by arranging these layered semiconductor chips on an insulating substrate.

**CONSTITUTION:** A substrate region including first, second and third semiconductor chips 15, 16 and 17, an adhesive material 6a, a bump electrode 12a a conductive adhesive material 14a, substrate electrodes 5a and 5c and wires 7a and 7c is covered with a sealing material 8a. Thus, a first layered semiconductor chip structure is provided on one principal face of an insulating substrate 4. On the other face of the substrate, a second layered semiconductor chip structure consisting of a fourth semiconductor chip 16 providing the first layer and a fifth semiconductor chip 19 providing the second layer is arranged symmetrically with respect to the first layered semiconductor chip structure. The electrodes are interconnected and the structure is sealed with a sealing material 8b. In this manner, it is possible to realize a thin and small-sized semiconductor chip component having a higher density.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-211663

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月2日

H 01 L 25/08  
23/52  
25/08  
H 01 R 9/09

B-7638-5F  
8728-5F  
Z-7638-5F  
C-6901-5E

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 回路基板

⑯ 特 願 昭62-46007

⑰ 出 願 昭62(1987)2月26日

⑱ 発 明 者 田 中 博 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

回路基板

2. 特許請求の範囲

(1) 半導体基板の一主面に電極を含む機能パターン部が形成されている第1の半導体チップと、半導体基板の一主面に電極を含む機能パターン部が形成されており、他主面が上記第1の半導体チップの他主面に対面させて配設される第2の半導体チップと、これら第1の半導体チップと第2の半導体チップの他主面間に介在され、両チップを接合する接層材とを有する階層状の半導体チップ、この階層状の半導体チップが装層され、その主面に上記第1及び第2の半導体チップの電極と接続される電極を含む配線パターンが形成される板状の絶縁基板を備えた回路基板。

(2) 絶縁基板は階層状の半導体チップが配設される開孔部を有したものであることを特徴とする特許請求の範囲第1項記載の回路基板。

(3) 接層材を導電性の材料で形成させたもので

あることを特徴とする特許請求の範囲第1項または第2項記載の回路基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体チップが実装される改良形の回路基板に関するものである。

〔従来の技術〕

第3図は従来の回路基板を示す断面図であり、図において、(1)および(2)は半導体チップで、シリコン等からなる半導体基板(1a)および(2a)の一主面に所定の処理工程を経て機能パターン部(1b)および(2b)が形成されているものである。(3)はスパッタ法によるアルミニウム膜等からなる電極で、上記機能パターン部(1b)(2b)の所定位置に配設されている。(4)はセラミックス等からなる板状の絶縁基板で、その主面に銅、金等からなる所定形状の配線パターン(図示せず)が形成されている。(5)は上記配線パターンと同材料からなる基板電極で、上記配線パターンに含まれて上記半導体チップ(1)(2)の近傍周辺に配設されている。(6)は絶

緑性の樹脂等からなる接層材で、上記基板電極(5a)(5b)の内側のほぼ中央部に位置して上記絶縁基板(4)に被着し、上記半導体チップ(11)(12)を上記絶縁基板(4)と平行の状態で、その半導体基板(1a)(2a)部で接層させている。(7)は配線部材(A)で、この場合、金等からなるワイヤで、上記半導体チップ(11)(12)の電極(3a)(3b)と絶縁基板(4)の基板電極(5a)(5b)とを電気的に接続させている。(8)は樹脂等からなる封止材で、上記半導体チップ(11)(12)、接層材(6a)(6b)、ワイヤ(7a)(7b)および基板電極(5a)(5b)を含む領域を被覆させている。

ところで、上記のように構成された回路基板は、大略次のように組立てられる。

すなわち、まず絶縁基板(4)の表面で、基板電極(5a)(5b)より内側のほぼ中央部に適度の粘度をもつ接層材(6a)(6b)が塗布され、この接層材(6a)(6b)に半導体チップ(11)(12)の半導体基板(1a)(2a)面を押圧させて半導体チップ(11)(12)を絶縁基板(4)に平行の状態で接層・支持させる。次に、ワイヤボンディングにより半導体チップ(11)(12)の電極(

(3a)(3b)と絶縁基板(4)の各対応する基板電極(5a)(5b)とをワイヤ(7a)(7b)で接続させる。その後、上記半導体チップ(11)(12)、接層材(6a)(6b)、ワイヤ(7a)(7b)および基板電極(5a)(5b)を含む領域を封止材(8a)(8b)の樹脂で被覆・保護させて、上記回路基板とされる。

また、第4図は従来の他の回路基板を示す断面図であり、図において、(4)および(8)は第4図に示したものと全く同一のものである。(9)および(10)は半導体チップで、第3図に示した半導体チップ(11)(12)と同じく、その機能パターン部(9b)(10b)を対向させて上記絶縁基板(4)と平行の状態で絶縁基板(4)の両面に配設されている。(11a)(11b)はそれぞれ上記機能パターン部(9b)(10b)に含まれる電極で、スパッタ法によるアルミニウム膜等が形成されたものの上面に、さらに真空蒸着法によるクロム、銅、錫等からなる三層膜等が形成されている。(12a)(12b)はそれぞれ配線部材(B)で、この場合鉛、錫のハンダ等で形成されたパンプ電極である。(13a)(13b)はそれぞれ上記半導体チップ

(9)(10)のパンプ電極(12a)(12b)の当接部に位置するパンプ対向電極で、上記絶縁基板(4)の表面に所定形状に形成された銅、金等からなる配線パターン(図示せず)に配設されて、この配線パターンと同材料で形成されている。(14a)(14b)はそれぞれ配線部材(C)で、この場合ハンダペースト等からなる導電性の接層材で、上記パンプ電極(12a)(12b)とパンプ対向電極(13a)(13b)とを電気的に接続させている。これら半導体チップ(9)(10)、パンプ電極(12a)(12b)、パンプ対向電極(13a)(13b)および導電性の接層材(14a)(14b)を含む領域は封止材(8a)(8b)で被覆されている。

ところで、上記のように構成された回路基板は大略次のように組立てられる。

すなわち、まず、スクリーン印刷等の技術によつて、絶縁基板(4)のパンプ対向電極(13a)(13b)に導電性の接層材(14a)(14b)が塗布される。次に、半導体チップ(9)(10)が、そのパンプ電極(12a)(12b)と上記絶縁基板(4)のパンプ対向電極(13a)(13b)とが当接する位置で、離間された状態にて

位置合せされた後、導電性の接層材(14a)(14b)に押圧されて絶縁基板(4)に接層・支持されるとともに、電気的に接続される。その後、半導体チップ(9)(10)、パンプ電極(12a)(12b)、導電性の接層材(14a)(14b)およびパンプ対向電極(13a)(13b)を含む領域を封止材(8a)(8b)の樹脂で被覆・保護させて、上記回路基板とされる。

〔発明が解決しようとする問題点〕

従来の回路基板は以上のように構成されており、絶縁基板の各面には単チップの突装構造であるため、高密度、高集積あるいは多機能の回路基板を得ようとする、絶縁基板を平面的にしか使用せざるを得なく、従つて、回路基板のサイズが大きくなつてしまうという問題を有するものであつた。

また、接層材を介して半導体チップが絶縁基板に接層されているため、接層材の厚みの円かに、機能に直接寄与しない半導体チップの当接領域の絶縁基板の厚みを有するものであるため、必要以上に厚い回路基板となつてしまうという問題点を有するものであつた。

この発明は上記のような問題点を解決するためになされたもので、小型・薄型で、高密度化できる回路基板を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る回路基板は、第1の半導体チップと、この第1の半導体チップと平行に配設される第2層の半導体チップと、これら両者間に介在してこれら半導体基板を互いに対面させて接合させる接層材とから階層状の半導体チップを構成させ、この階層状の半導体チップを絶縁基板に配設させたものである。

〔作用〕

この発明においては、第1の半導体チップと第2の半導体チップとが、接層材にて接合されて一つの階層状の半導体チップを構成し、この階層状の半導体チップが絶縁基板に配設されて、高密度実装化に機能するものである。

〔発明の実施例〕

第1図はこの発明の一実施例の回路基板を示す断面図であり、図において、(3)～(8)および(11)～(14)

た状態にて、他主面同志がこれら両者間に介在される接層材(6a)により接合されて、二層状を呈する第1の階層状の半導体チップを構成させている。そして、第1の半導体チップ10の電極(11a)は、配線部材(b)(c)で、この場合パンプ電極(12a)と導電性の接層材(14a)とで、絶縁基板(4)の一方の面上にあつて、銅、金等からなる配線パターン(図示せず)に含まれ上記パンプ電極(12a)との当接位置に配設されるパンプ対向電極(13a)に電気的に接続され、かつ接層・支持されている。また、第2の半導体チップ10および第3の半導体チップ11の各電極(3a)(3c)は、配線部材(a)で、この場合ワイヤ(7a)(7c)で、上記絶縁基板(4)の同じ面上にあつて、上記配線パターンとは別に形成された上記と同じ材料からなる配線パターン(図示せず)に含まれ、上記第1の半導体チップ10の近傍周辺に配設された基板電極(5a)(5c)に電気的に接続されている。さらに、これら第1、第2および第3の半導体チップ1010および11、接層材(6a)、パンプ電極(12a)、導電性の接層材(14a)、

は従来の回路基板と全く同一のものである。尚ほシリコン等からなる半導体基板(15a)の一主面に所定の処理工程を経て機能パターン部(15b)が形成された第1の半導体チップで、機能パターン部(15b)の所定位置には電極(11a)が配設されており、この電極(11a)には、スパッタ法によるアルミニウム膜等が形成されたものの上面に、真空蒸着法によるクロム、銅、錫等からなる三層膜等が形成され、さらにその上面には鉛、錫のハンダ等からなるパンプ電極(12a)となる配線部材(b)が形成されている。10および11は第2の半導体チップおよび第3の半導体チップで、ともに上記第1の半導体チップ10と同じく半導体基板(16a)(17a)の一主面に機能パターン部(16b)(17b)が形成されたものであり、この機能パターン部(16b)(17b)の所定位置にはスパッタ法によるアルミニウム膜等からなる電極(3a)(3c)が配設されている。この第2の半導体チップ10と第3の半導体チップ11とは互いに離間されて配設され、上記第1の半導体チップ10に対し、それぞれ平行にかつ離間され

基板電極(5a)(5c)およびワイヤ(7a)(7c)を含む領域は封止材(8a)で被覆されている。一方、上記絶縁基板(4)の他方の面には、上記第1の階層状の半導体チップと11は対称をなす位置に、上記と同じく接層材(6b)を介して第1層を構成する第4の半導体チップ10と第2層を構成する第5の半導体チップ10とで形成される第2の階層状の半導体チップが配設され、上記と同じく各電極間が接続されて、封止材(8b)で被覆されている。

ところで、上記のように構成された回路基板は、大略次のように組立てられる。すなわち、まず、第1層となる第1の半導体チップ10の半導体基板(15a)面には均一に絶縁性の接層材(6a)が塗布され、この接層材(6a)に、第2層となる第2の半導体チップ10および第3の半導体チップ11を離間させて、これら半導体基板(16a)(17a)を第1の半導体チップ10の半導体基板(15a)と平行を保持させながら押圧して接層・支持させて、第1の階層状の半導体チップを形成させる。同じく第4の半導体チップ10に塗布された絶縁性の接層材

(6b)に第5の半導体チップ4aを接層・支持させて、第2の階層状の半導体チップを形成させる。次に、絶縁基板4aの両面上のパンプ対向電極(13a)-(13b)にスクリーン印刷等の技術により導電性の接層材(14a)(14b)がほぼ均一に塗布され、上記第1の階層状の半導体チップと第2の階層状の半導体チップの各パンプ電極(12a)と(12b)は、パンプ対向電極(13a)(13b)に当接する位置で、離間された状態にて位置合わせ後、押圧されて接続・接層される。つづいて、上記各階層状の半導体チップの電極(3a)(3b)(3c)と絶縁基板4aの各基板電極(5a)(5b)(5c)とはワイヤボンディングにより接続される。その後、これら第1および第2の階層状の半導体チップ、パンプ電極(12a)(12b)、導電性の接層材(14a)(14b)、ワイヤ(7a)(7b)(7c)および基板電極(5a)(5b)(5c)を含む領域は、封止材(8a)(8b)の樹脂で被覆・保護させて、上記回路基板とされる。

このように階層状の半導体チップを絶縁基板に実装させることによつて、平面サイズは変えるこ

(8b)で被覆されている。

ところで、このように構成される回路基板の大略組立ては、まず、開孔が設けられた絶縁基板4aの開孔部4bに絶縁性の接層材6aを付着させ、次に、第6の半導体チップ4aおよび第7の半導体チップ4bの各半導体基板(20a)(21a)を互いに対面させ、平行を保持しつつ接層材6aに押圧して接層・支持させる。つづいて、ワイヤボンディングにより電極(3a)(3b)と基板電極(5a)(5b)とをワイヤ(7a)(7b)で接続させ、その後、これら第3の階層状の半導体チップ、接層材6a、ワイヤ(7a)(7b)および基板電極(5a)(5b)を含む領域は封止材6bの樹脂で被覆・保護させて、上記回路基板とされる。

このように構成される回路基板は、絶縁基板4aを開孔させ、その開孔部4bに階層状の半導体チップを位置させて、その中間に介在される接層材6aにより支持させたものとなされているので、絶縁基板の厚みが削減され、しかも接層材6aの厚みは半導体チップ1層分が確保されれば良く、非常に薄型に形成させることができるものとなる。

となく厚みをわずかに大きくするのみで、従来の約2倍の実装密度が得られるものとなる。

第2図はこの発明の他の実施例の回路基板を示す断面図であり、図において、(3)~(8)は上記第1図に示したものと全く同一のものである。4aおよび4bは第1層を構成する第6の半導体チップおよび第2層を構成する第7の半導体チップで、ともに上記例と同じく半導体基板(20a)(21a)の一主面に、電極(5a)(5b)を配設させた機能パターン部(20b)(21b)が形成されているものである。これら第6の半導体チップ4aと第7の半導体チップ4bは、絶縁性基板4aに形成された開孔部4bに接層して介在される接層材6aに、これら半導体基板(20a)(21a)を互いに平行に対面して他主面同志が接層されて、第3の階層状の半導体チップを形成させている。そして、この階層状の半導体チップの電極(3a)(3b)と絶縁基板4aの各基板電極(5a)(5b)とはワイヤ(7a)(7b)で電気的に接続され、これら階層状の半導体チップ、ワイヤ(7a)(7b)および基板電極(5a)(5b)を含む領域は、封止材(8a)

なお、上記実施例の説明において、接層材は絶縁性の材料で形成させたものであつたが、半導体基板が接地される半導体チップのものにおいては、導電性の材料で形成させたものとすれば良く、このとき接層材と絶縁基板上の所定配線パターンとを上記例と別の配線部材で接続させれば良い。

また、第1図に示すものにおいて、第1の階層状の半導体チップと第2の階層状の半導体チップとは、絶縁基板の両面にほぼ対称の状態に各1個配設させたが、これに限定されず、1個以上であれば良く、また半導体チップのサイズ等に応じてこれらを互いにずらして配設させたものであつても良く、さらに、必要に応じて一方の面のみに形成させたものであつても良い。

さらに、上記実施例において、階層状の半導体チップが2個又は3個の半導体チップで構成される場合を示したが、これに限定されず必要に応じて2個以上の半導体チップとさせれば良い。このとき各半導体チップが同種のものでも、多種のものでも良く、特に後者の場合、多種

の半導体チップの組合せが自由にでき、用途に応じた多種の機能を有するものを容易に実現でき、しかも高度な製造技術によらず従来の製造技術を利用して得ることができるため、低価格化がはかれるものとなる。

なお、上記において、階層状の半導体チップは二層状を呈するものゝ示したが、これに限定されず、上記実施例に示す技術によれば、二層以上からなる階層状の半導体チップを構成させることもでき、上記と同様の効果を奏するものである。

#### 〔発明の効果〕

以上説明したように、この発明によれば、互いに平行に配設された半導体チップが、その他主面同志を接層材を介して接合した階層状の半導体チップとし、この階層状の半導体チップを絶縁基板に配設させた回路基板としたので、小型・薄型で高密度実装ができ、装填等の省スペース化がはかれるという効果がある。

#### 4. 図面の簡単な説明

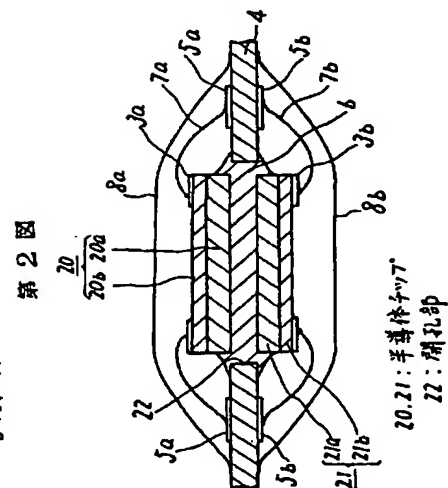
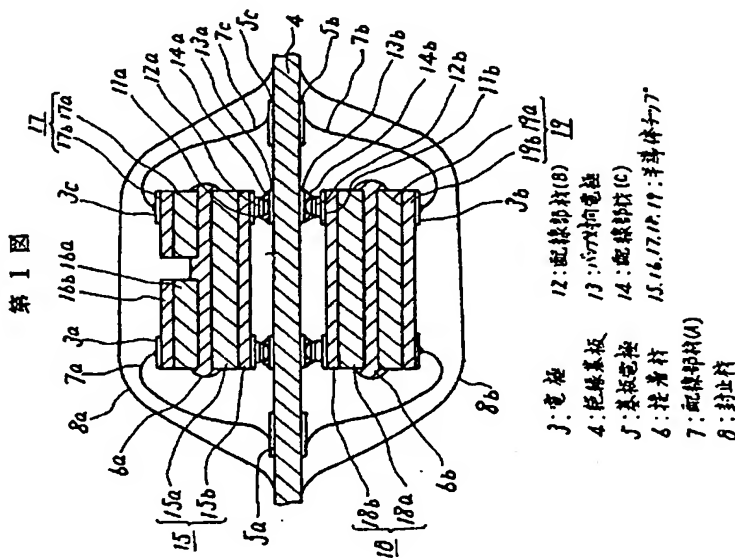
第1図はこの発明の一実施例による回路基板を

示す断面図、第2図はこの発明の他の実施例による回路基板を示す断面図、第3図は従来の回路基板を示す断面図、第4図は従来の他の回路基板を示す断面図である。

図において、(3)は電極、(4)は絶縁基板、(5)は基板電極、(6)は接層材、(7)は配線部材(A)、(8)は封止材、(9)は配線部材(B)、(10)はパンプ対向電極、(11)は配線部材(C)、(12)はパンプ対向電極、(13)は配線部材(C)、(14)は配線部材(C)、(15)はパンプ対向電極、(16)は配線部材(C)、(17)は配線部材(C)、(18)は配線部材(C)、(19)は配線部材(C)、(20)は配線部材(C)、(21)は配線部材(C)、(22)は配線部材(C)である。

なお、各図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄



特開昭63-211663 (6)

手続補正書 (自発)

昭和 62 年 6 月 10 日



特許庁長官殿

1. 事件の表示 特願昭 62-48007 号

2. 発明の名称  
回路基板

3. 補正をする者

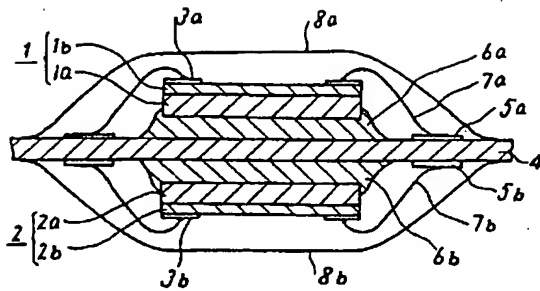
事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社  
代表者 志岐守哉

4. 代 理 人

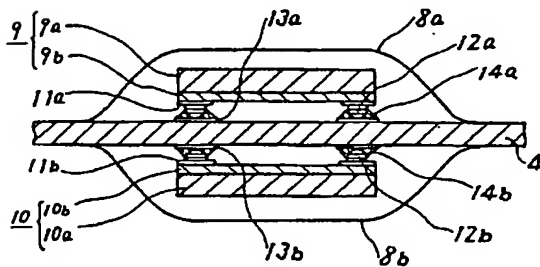
住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7875) 弁理士 大岩増雄  
(連絡先03(213)3421特許部)



第 3 図



第 4 図



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書中第4頁第8行に「第4図」とあるのを「第8図」と補正する。

(2) 明細書中第5頁第12行に「被覆」とあるのを「被覆」と補正する。

以 上